

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-274481

(43)Date of publication of application : 08.10.1999

(51)Int.Cl.

H01L 29/78
H01L 21/265
H01L 21/28
H01L 21/336

(21)Application number : 10-072365

(71)Applicant : DENSO CORP

(22)Date of filing : 20.03.1998

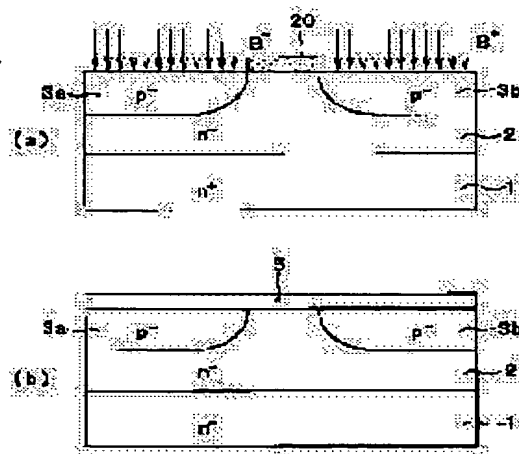
(72)Inventor : KOJIMA ATSUSHI
YAMAMOTO TAKESHI

(54) METHOD FOR MANUFACTURING SILICON CARBIDE SEMICONDUCTOR DEVICE

(57)Abstract

PROBLEM TO BE SOLVED: To contrive high mobility in a channel region by a method wherein a large unevenness is not formed in the channel region by a heat process for activating impurities.

SOLUTION: A p-type impurity is ion-implanted to a specified region of a surface layer part of an n-type silicon carbide epitaxial layer 2. The p-type impurity is activated by a heat process under the silicon carbide atmosphere to form p-type silicon carbide base regions 3a, 3b having a specified depth. Thus, the heat process for activating the p-type impurity ion-implanted for forming the p-type silicon carbide base regions 3a, 3b is made under the silicon carbide atmosphere, whereby silicon carbide sublimates (evaporates) from a surface of the n-type silicon carbide epitaxial layer 2 and vanishes, and additionally the silicon carbide is supplied onto the surface by subliming (crystal-growing). Therefore, the n-type silicon carbide epitaxial layer 2 can be formed so as not to form large unevenness. Therefore, it is possible to make efficient a surface channel layer 5 formed on a surface of this n-type silicon carbide epitaxial layer 2.



*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]A manufacturing method of a silicon carbide semiconductor device characterized by comprising the following.

A process of forming a semiconductor layer (2) of the 1st conductivity type that consists of high resistance silicon carbide rather than this semiconductor substrate on a main table side of a semiconductor substrate (1) of the 1st conductivity type that consists of silicon carbide.

A process of carrying out the ion implantation of the 2nd conductivity-type impurity to a predetermined region of a layer part of said semiconductor layer.

A process of forming base area (3a, 3b) of the 2nd conductivity type that heat-treats under silicon carbide atmosphere, activates said 2nd conductivity-type impurity, and has a prescribed depth.

A process which grows epitaxially a surface channel layer (5) used as channel regions into the upper part of said semiconductor layer and said base area, A process of touching said surface channel layer and forming the source region (4a, 4b) of the 1st conductivity type shallower than this base area in a predetermined region of a layer part of said base area, A process of forming a gate electrode (8) in the upper part of said surface channel layer, and forming a source electrode (10) which touches said base area.

[Claim 2]A manufacturing method of the silicon carbide semiconductor device according to claim 1 characterized by comprising the following.

A process to which a process of forming said source region carries out the ion implantation of the 1st conductivity-type impurity.

A process which heat-treats under silicon carbide atmosphere and activates said 1st conductivity-type impurity.

[Claim 3]A manufacturing method of the silicon carbide semiconductor device according to claim 2 performing simultaneously heat treatment which activates said 2nd conductivity-type impurity, and heat treatment which activates said 1st conductivity-type impurity.

[Claim 4]A manufacturing method of a silicon carbide semiconductor device of any one statement of claim 1 thru/or 3 making said silicon carbide atmosphere into a pressure which silicon carbide sublimates, and an almost equivalent pressure.

[Claim 5]A manufacturing method of a silicon carbide semiconductor device of any one statement of claim 1 thru/or 4 forming said silicon carbide atmosphere with mixed gas which consists of silicane compound gas and hydrocarbon compound gas.

[Claim 6]A manufacturing method of a silicon carbide semiconductor device of any one statement of claim 1 thru/or 4 forming said silicon carbide atmosphere by heat-treating with a dummy substrate (120) which consists of silicon carbide which it had apart from said semiconductor substrate.

[Claim 7]A manufacturing method of a silicon carbide semiconductor device of any one statement of claim 1 thru/or 4 forming said silicon carbide atmosphere by heat-treating with powder which consists of silicon carbide.

[Claim 8]A manufacturing method of a silicon carbide semiconductor device characterized by comprising the following.

A process of forming a semiconductor layer (2) of the 1st conductivity type that consists of high resistance silicon carbide rather than this semiconductor substrate on a main table side of a semiconductor substrate (1) of the 1st conductivity type that consists of silicon carbide.

A process of carrying out the ion implantation of the 2nd conductivity-type impurity to a predetermined region of a layer part of said semiconductor layer.

A process of growing epitaxially a surface channel layer (5) used as channel regions into the surface of said semiconductor layer with an epitaxial grown method, and activating said 2nd conductivity-type impurity and forming base area (3a, 3b) of the 2nd conductivity type by heat treatment of this epitaxial growth.

A process of touching said surface channel layer and forming the source region (4a, 4b) of the 1st conductivity type shallower than this base area in a predetermined region of a layer part of said base area, A process of forming a gate electrode (8) in the upper part of said surface channel layer, and forming a source electrode (10) which touches said base area.

[Claim 9]A manufacturing method of a silicon carbide semiconductor device characterized by comprising the following.

A process of forming a semiconductor layer (2) of the 1st conductivity type that consists of high resistance silicon carbide rather than this semiconductor substrate on a main table side of a semiconductor substrate (1) of the 1st conductivity type that consists of silicon carbide.

A process of carrying out the ion implantation of the 2nd conductivity-type impurity to a predetermined region of a layer part of said semiconductor layer.

A process of carrying out the ion implantation of the 1st conductivity-type impurity to a predetermined region of a layer part of said semiconductor layer.

With an epitaxial grown method, grow epitaxially a surface channel layer (5) used as channel regions into the surface of said semiconductor layer, and activating said 2nd conductivity-type impurity by heat treatment of this epitaxial growth — base area (3a). A process of forming 3b, and activating said 1st conductivity-type impurity further, and touching said surface channel layer in a predetermined region of said base area, and forming the source region (4a, 4b) shallower than said base area, A process of forming a gate electrode (8) in the upper part of said surface channel layer, and forming a source electrode (10) which touches said base area.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]Especially this invention relates to an insulated gate field effect transistor and the vertical mold power metal-oxide semiconductor field effect transistor especially for big electric power about the manufacturing method of a silicon carbide semiconductor device.

[0002]

[Description of the Prior Art]These people have applied for what raised channel mobility and reduced on resistance by Japanese Patent Application No. No. 259076 [nine to] in vertical mold MOSFET. That sectional view is shown in drawing 6 by making planar type MOSFET into an example among this vertical mold MOSFET, and the structure of planar type vertical mold MOSFET is explained based on this figure.

[0003]The n^+ type silicon carbide semiconductor board 1 makes the upper surface the main table side 1a, and is using as the rear face 1b the undersurface which is an opposite side of a main table side. On the main table side 1a of this n^+ type silicon carbide semiconductor board 1, the n^- type silicon carbide epitaxial layer (henceforth an n^- type silicon carbide epilayer) 2 which has dopant concentration lower than the substrate 1 is laminated. Although the upper surface of the n^+ type silicon carbide semiconductor board 1 and the n^- type silicon carbide epilayer 2 is made into the Si face (0001) at this time, it is good also considering the upper surface of the n^+ type silicon carbide semiconductor board 1 and the n^- type silicon carbide epilayer 2 as an a (112-0) side. That is, it is because low surface state density will be obtained if a Si face (0001) is used, and the crystal which is low surface state density and does not have a screw dislocation thoroughly will be obtained if a (112-0) side is used. The OFF board which provided the inclination (3 degrees - about 10 degrees) can also be used.

[0004]The p^- type silicon carbide base region 3a and the p^- type silicon carbide base region 3b which have a prescribed depth are estranged and formed in the predetermined region in the layer part of the n^- type silicon carbide epilayer 2. In the predetermined region in the layer part of the p^- type silicon carbide base region 3a. The n^+ type source region 4b shallower than the base area 3b is formed in the predetermined region [in / again / in the n^+ type source region 4a shallower than the base area 3a / the layer part of the p^- type silicon carbide base region 3b], respectively.

[0005] n^- type SiC layer 5 is installed in the surface part of the n^- type silicon carbide epilayer 2 between the n^+ type source region 4a and the n^+ type source region 4b, and the p^- type silicon carbide base regions 3a and 3b. That is, n^- type SiC layer 5 is arranged so that the source region 4a and 4b and the n^- type silicon carbide epilayer 2 may be connected in the surface part of the p^- type silicon carbide base regions 3a and 3b.

[0006]This n^- type SiC layer 5 is formed by epitaxial growth, and the crystal of an epitaxial film uses the thing of 4H, 6H, and 3C. The epitaxial layer can form various kinds of crystals which are not related to the substrate of a ground. This n^+ type SiC layer 5 functions as a channel formation layer in the device surface at the time of operation of a device. Hereafter, this n^- type SiC layer 5 is called surface channel layer.

[0007]The dopant concentration of the surface channel layer 5 is the low concentration about $1 \times 10^{15} \text{cm}^{-3}$ - $1 \times 10^{17} \text{cm}^{-3}$.

And below the dopant concentration of the n^- type silicon carbide epilayer 2 and the p^- type silicon carbide base regions 3a and 3b has become.

Thereby, low-on-resistance-ization is attained. The crevices 6a and 6b are formed in the surface part of the p^- type silicon carbide base regions 3a and 3b and the n^+ type source regions 4a and 4b.

[0008]The gate dielectric film (silicon oxide) 7 is formed in the upper surface of the surface channel layer 5, and the upper surface of the n^+ type source regions 4a and 4b. The polysilicon gate electrode 8 is formed on the gate dielectric film 7, and this polysilicon gate electrode 8 is covered with the insulator layer 9 which consists of LTO (Low Temperature Oxide). On it, the source electrode 10 was formed and the source electrode 10 is in contact with the n^+ type source regions 4a and 4b and the p^- type silicon carbide base regions 3a and 3b. The drain electrode 11 is formed in the rear face 1b of the n^+ type silicon carbide semiconductor board 1.

[0009]Next, the manufacturing process of the planar type power metal-oxide semiconductor field effect transistor

shown in drawing 6 is explained using drawing 7 - drawing 9.

[The process shown in drawing 7 (a)] First, the n type 4H or 6H or 3C-SiC substrate 1, i.e., an n⁺ type silicon carbide semiconductor board, is prepared. Here, the thickness is 400 micrometers and the main table side 1a of the n⁺ type silicon carbide semiconductor board 1 is a Si face (0001) or an a (112-0) side. The 5-micrometer-thick n⁻ type silicon carbide epilayer 2 is grown epitaxially to the main table side 1a of this substrate 1. In this example, the same crystal as the substrate 1 of a ground is obtained, and the n⁻ type silicon carbide epilayer 2 turns into the n type 4H or 6H or 3C-SiC layer.

[0010][The process shown in drawing 7 (b)] After grinding the surface of the n⁻ type silicon carbide epilayer 2, LTO film 20 is arranged to the predetermined region on this, the ion implantation of the p type impurity (for example, boron and aluminum) is carried out to it by making this into a mask, and the p⁻ type silicon carbide base regions 3a and 3b are formed in it. When pouring in boron (B⁺), temperature is 700-1000 ** and the dose makes the ion-implantation conditions at this time $1 \times 10^{15} \text{cm}^{-2}$.

[0011][The process shown in drawing 7 (c)] After removing LTO film 20, the surface channel layer 5 is grown up into the layer part of the n⁻ type silicon carbide epilayer 2, and the upper part of the p⁻ type silicon carbide base regions 3a and 3b with an epitaxial grown method. The temperature of heat treatment performed in the case of this epitaxial growth is 1200-1800 **.

[0012]In order to use planar type power metal-oxide semiconductor field effect transistor as a no MARIOFU type at this time, thickness (thickness) of the surface channel layer 5 is made into desired thickness.

[The process shown in drawing 8 (a)] LTO film 21 is arranged to the predetermined region on the surface channel layer 5, the ion implantation of the n type impurity (for example, nitrogen (N⁺)) is carried out to it by making this into a mask, and the n⁺ type source regions 4a and 4b are formed in it. The ion-implantation conditions at this time shall be 700 **, and the dose is made into $1 \times 10^{15} \text{cm}^{-2}$.

[0013][The process shown in drawing 8 (b)] And after removing LTO film 21, LTO film 22 is arranged to the predetermined region on the surface channel layer 5 using the photoresist method, and etching removal of the p⁻ type silicon carbide base region 3a and the surface channel layer 5 on 3b is selectively carried out by RIE by making this into a mask.

[0014][The process shown in drawing 8 (c)] LTO film 22 is used as a mask, the ion implantation of the B⁺ is carried out, and the deep base layers 30a and 30b are formed. Since a part of base areas 3a and 3b become what became thick by this, the thickness in the deep base layer 30a and the n⁻ type silicon carbide epilayer 2 under 30b becomes thin and field intensity can be made high, It becomes easy to carry out an avalanche breakdown in this portion, and pressure-proofing can be raised.

[0015]These deep base layers 30a and 30b are formed in the portion which does not lap with the n⁺ type source regions 4a and 4b, and. Impurity concentration is deeply formed rather than the thin portion of the thickness in which the deep base layer 30a is not formed for the portion to which the thickness in which the deep base layers 30a and 30b were formed among the p⁻ type silicon carbide base regions 3a and 3b became thick.

[0016][The process shown in drawing 9 (a)] After removing LTO film 22, the gate dielectric film (gate oxide) 7 is formed by wet oxidation on a substrate. At this time, ambient temperature may be 1080 **. Then, the polysilicon gate electrode 8 is deposited by LPCVD on the gate dielectric film 7. The forming temperature at this time shall be 600 **.

[0017][The process shown in drawing 9 (b)] Then, the insulator layer 9 which consists of LTO after removing the garbage of the gate dielectric film 7 is formed, and it is a wrap about the gate dielectric film 7. In more detail, forming temperature is 425 ** and performs 1000 ** annealing after membrane formation. An annealing controlled atmosphere is made into either H₂, N₂ or Ar at this time.

[0018][The process shown in drawing 9 (c)] And the source electrode 10 and the drain electrode 11 are arranged by metal sputtering in a room temperature. 1000 ** annealing is performed after membrane formation. Thus, the vertical mold power metal-oxide semiconductor field effect transistor shown in drawing 6 is completed.

[0019]

[Problem(s) to be Solved by the Invention]Although the p⁻ type silicon carbide base regions 3a and 3b are formed by the ion implantation in planar type MOSFET shown in above-mentioned drawing 6, Usually, after performing an ion implantation, in order to activate the poured-in ion, it is necessary to perform heat treatment (activation annealing) by the high temperature over 1200 ** (refer to JP,8-8210,A).

[0020]In order that the silicon carbide (SiC) by which it is placed between the surfaces, such as the p⁻ type silicon carbide base regions 3a and 3b, by this heat treatment may sublimate (evaporation), It became clear that unevenness of the sublimated surface becomes large, worsened the crystallinity of the surface channel layer 5 which grows epitaxially after this, reduced the electron mobility of the surface channel layer 5, and is making it high resistance.

[0021]In the case where accomplish this invention in view of the point describing above, and channel regions are formed by epitaxial growth, It aims at providing the manufacturing method of the silicon carbide semiconductor device which can prevent aggravation of the crystallinity of the channel regions by activation of the poured-in impurity, also when an ion implantation is performed before growing epitaxially.

[0022]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the following technical means are adopted. In the invention according to claim 1 to 8, to a predetermined region of a layer part of a semiconductor layer (2). It is characterized by forming base area (3a, 3b) of the 2nd conductivity type that carries out the ion implantation of the 2nd conductivity-type impurity, heat-treats under silicon carbide atmosphere, activates the 2nd conductivity-type impurity, and has a prescribed depth.

[0023] Thus, by heat-treating activation of the 2nd conductivity-type impurity which carried out the ion implantation in order to form base area under silicon carbide atmosphere, Since silicon carbide not only sublimates and (evaporation) disappears from the surface of a semiconductor layer, but silicon carbide is sublimated and (crystal growth) supplied to the surface of a semiconductor layer, it can avoid forming big unevenness in a semiconductor layer. It can be made a good thing, without worsening the crystallinity of a surface channel layer, in order that such a surface state may form a surface channel layer (5) in the surface of a good semiconductor layer.

[0024] In the invention according to claim 2, a process of forming the source region (4a, 4b) is characterized by including a process of carrying out the ion implantation of the 1st conductivity-type impurity, and a process which heat-treats under silicon carbide atmosphere and activates the 1st conductivity-type impurity. Thus, when forming the source region, the crystallinity of a surface channel layer can be made better by using silicon carbide atmosphere and being made to activate an impurity.

[0025] In the invention according to claim 3, it is characterized by making heat treatment which activates the 2nd conductivity-type impurity, and heat treatment which activates the 1st conductivity-type impurity serve a double purpose. Thus, if heat treatment for activating the 2nd conductivity-type impurity and the 1st conductivity-type impurity is made to serve a double purpose, simplification of a manufacturing process of a device can be attained. In the invention according to claim 4, it is characterized by making silicon carbide atmosphere into a pressure which silicon carbide sublimates, and an almost equivalent pressure.

[0026] Thus, if silicon carbide atmosphere is made into a pressure which silicon carbide sublimates, and an almost equivalent pressure, Even if it performs heat treatment for activation, unevenness of a semiconductor layer can be prevented from becoming large since quantity which silicon carbide sublimates from the surface of a semiconductor layer (evaporation), and quantity supplied to the surface of a semiconductor layer by silicon carbide sublimating (crystal growth) can be made equivalent. As silicon carbide atmosphere is formed by supplying mixed gas which consists of silicane compound gas and hydrocarbon compound gas as shown in claim 5 or it is shown in claim 6, It can form by forming by heat-treating with a dummy substrate (110) which consists of silicon carbide which it had apart from a semiconductor substrate, or heat-treating with powder which consists of silicon carbide as further shown in claim 7.

[0027] In the invention according to claim 8, carry out the ion implantation of the 2nd conductivity-type impurity to a predetermined region of a layer part of a semiconductor layer (2), and further to it with an epitaxial grown method. A surface channel layer (5) which serves as channel regions on the surface of a semiconductor layer is grown epitaxially, and it is characterized by activating the 2nd conductivity-type impurity and forming base area (3a, 3b) of the 2nd conductivity type by heat treatment of this epitaxial growth.

[0028] Thus, if it is made to heat-treat activation of the 2nd conductivity-type impurity for forming base area by heat treatment of epitaxial growth, Rather than quantity which silicon carbide sublimates (evaporation) and disappears, since there is more quantity supplied by silicon carbide sublimating (crystal growth), silicon carbide is formed at quick speed and a surface channel layer can be formed rather than unevenness is formed on the surface of a semiconductor layer. Thereby, the same effect as claim 1 is acquired. Since it is not necessary to heat-treat activation of an impurity for forming base area separately, simplification of a manufacturing process of a device can be attained.

[0029] In order to make heat treatment in the case of epitaxial growth use also [heat treatment / of activation of an impurity], it is more preferred than heat treatment in the case of epitaxial growth generally performed to grow epitaxially at about 1300-1800 ** used as high temperature. In the invention according to claim 9, grow epitaxially a surface channel layer (5) which serves as channel regions on the surface of a semiconductor layer with an epitaxial grown method, and, activating the 2nd conductivity-type impurity by heat treatment of this epitaxial growth — base area (3a.) Form 3b, activate the 1st conductivity-type impurity further, and a surface channel layer is touched in a predetermined region of base area, and it is characterized by forming the source region (4a, 4b) shallower than base area.

[0030] Thus, can simplify a manufacturing process of a device further by activating an impurity and forming both base area and the source region by heat treatment in the case of epitaxial growth, and. An effect of claim 8 is acquired and heat treatment of activation of an impurity for forming the source region further can also be prevented from forming big unevenness in a surface channel layer.

[0031]

[Embodiment of the Invention] Hereafter, the embodiment which shows this invention in a figure is described.

(A 1st embodiment) Since the vertical mold power metal-oxide semiconductor field effect transistor shown in this embodiment is the same as that of the vertical mold power metal-oxide semiconductor field effect transistor which ** differs from the former just in the manufacturing method, and is shown in drawing 6 about structure, only a manufacturing method is explained and the explanation about structure is omitted. In this embodiment, since it is almost the same as that of the conventional manufacturing process shown in above-mentioned drawing 7 - drawing 9, only a different portion is explained and explanation is omitted about the same portion.

[0032]First, the process shown in drawing 7 (a) like the above is performed, and the n^- type silicon carbide epilayer 2 is formed. Next, the process shown below is carried out.

[The process shown in drawing 1 (a)] The ion implantation of the p type impurity is carried out to the predetermined region of the n type silicon carbide epilayer 2. Then, in order to activate the poured-in impurity, it heat-treats within a high-frequency-induction-heating furnace. The situation of heat treatment at this high-frequency-induction-heating furnace is shown in drawing 2, and is explained.

[0033]The wafer in which the high-frequency-induction-heating furnace 100 forms a device as shown in drawing 2 (in this case) n^+ type silicon carbide semiconductor board 1 200 in which the n^- type silicon carbide epilayer 2 was formed is provided with the heating furnace 102 having the sample table 101 carried, and the coil 103 for heating wound around the periphery of this heating furnace 102, and is constituted. The heating furnace 102 can perform gas supply now, and can set up the gas atmosphere in a furnace now.

[0034]Using the high-frequency-induction-heating furnace 100 constituted in this way, the wafer 200 is carried in the sample table 101, the inside of a furnace is made into the temperature of 1300-1700 ** by energizing to the coil 103, and heat treatment (activation annealing) for activation of an impurity is performed. At this time, the inside of a furnace is made into the mixed atmosphere of SiC atmosphere, for example, silicon hydride gas, and hydrocarbon compound gas by gas supply, and it heat-treats by making the pressure of atmosphere equivalent to the pressure (henceforth sublimation pressure) which silicon carbide (SiC) sublimates.

[0035]He is trying for the direction of the partial pressure of silicon hydride gas to become higher than the partial pressure of hydrocarbon compound gas at this time. This is for carbon to remain in the case of heat treatment, and has lost silicon short supply by increasing the amount of supply of silicon. The poured-in p type impurity is activated by this, and the p^- type silicon carbide base regions 3a and 3b are formed.

[0036]Since it is heat-treating by making the pressure of atmosphere equivalent to the sublimation pressure of silicon carbide at this time, The quantity which the silicon carbide of a wafer surface (here surface of the n^- type silicon carbide epilayer 2) sublimates (evaporation), and disappears, Since it becomes equivalent, and the quantity supplied to a wafer surface by silicon carbide sublimating (solidification) crystallizes, the silicon carbide of a wafer surface not only sublimates and (evaporation) disappears, but it sublimates to a wafer surface (solidification) and is supplied, Heat treatment for activation can be prevented from forming big unevenness in a wafer surface.

[0037]When it heat-treated on such conditions, only unevenness of about an average of 2 nm was formed in the wafer surface. When heat-treated as reference under the conditions which are not silicon carbide atmosphere, unevenness of about 7 nm was formed in the wafer surface. By heat-treating under the silicon carbide atmosphere which becomes almost equivalent [the pressure which silicon carbide evaporates, and the pressure to crystallize] so that clearly from this result, It can avoid forming big unevenness in the surface of the p^- type silicon carbide base regions 3a and 3b in which the surface channel layer 5 is formed.

[0038]Even when the method of this embodiment was used, unevenness of about an average of 2 nm was accepted, but. Since unevenness of this level is what exists in the surface of an available wafer from the start now, according to the method of this embodiment, it can be said to perform heat treatment for activation so that unevenness currently formed in the wafer surface may not almost be enlarged.

[The process shown in drawing 1 (b)] And the surface channel layer 5 is grown epitaxially into the wafer surface which includes the surface of the p^- type silicon carbide base regions 3a and 3b under the temperature of about 1200-1500 **, for example with a CVD method. Since big unevenness is not formed in the surface of the n^- type silicon carbide epilayer 2 used as a wafer surface at this time, the surface channel layer 5 with good crystallinity is formed.

[0039]Then, planar type power metal-oxide semiconductor field effect transistor is completed through the process shown in drawing 8 and drawing 9. Thus, the planar type power metal-oxide semiconductor field effect transistor in this embodiment is manufactured. Next, an operation (operation) of this vertical mold power metal-oxide semiconductor field effect transistor is explained. When this MOSFET operates by no MARIOFU type accumulation mode and it does not impress voltage to a polysilicon gate electrode, A career is formed into all-over-the-districts depletion in the surface channel layer 5 by the potential produced according to the difference of the electrostatic potential between the p^- type silicon carbide base regions 3a and 3b and the surface channel layer 5, and the difference of the work function between the surface channel layer 5 and the polysilicon gate electrode 8. By impressing voltage to the polysilicon gate electrode 8, the difference of the work function between the surface channel layer 5 and the polysilicon gate electrode 8 and the potential difference produced by the sum of the impressed electromotive force from the outside are changed. The state of a channel is controllable by this.

[0040]That is, when the work function of the polysilicon gate electrode 8 is made into the 1st work function, the work function of the p^- type silicon carbide base regions 3a and 3b is made into the 2nd work function and the work function of the surface channel layer 5 is made into the 3rd work function, Using the difference of the 1st - the 3rd work function, the impurity concentration and thickness of the 1st - the 3rd work function and surface channel layer 5 can be set up so that the n type career of the surface channel layer 5 may be depletion-ized.

[0041]In an OFF state, a depletion region is formed in the surface channel layer 5 of the electric field made with the p^- type silicon carbide base regions 3a and 3b and the polysilicon gate electrode 8. If positive bias is supplied from this state to the polysilicon gate electrode 8, The channel regions which extend from the n^+ type source regions 4a

and 4b to an n^- type drift region 2-way in the interface between the gate dielectric film (SiO_2) 7 and the surface channel layer 5 are formed, and it is switched to an ON state. At this time, an electron flows into the n^- type silicon carbide epilayer 2 from the surface channel layer 5 via the surface channel layer 5 from the n^+ type source regions 4a and 4b. And if the n^- type silicon carbide epilayer 2 (drift region) is arrived at, an electron will flow into the n^+ type silicon carbide semiconductor board 1 (n^+ drain) vertically.

[0042] Thus, by impressing positive voltage to the gate electrode 8, the surface channel layer 5 is made to induce an accumulated type channel, and a carrier flows between the source electrode 10 and the drain electrode 11. At this time, as mentioned above, the planar type power metal-oxide semiconductor field effect transistor in this embodiment is what has the good crystallinity of the surface channel layer 5 as compared with planar type MOSFET in the former. For this reason, in this embodiment, rather than the conventional thing, the channel mobility of the surface channel layer 5 can be raised, and it can be considered as the planar type power metal-oxide semiconductor field effect transistor of high mobility.

[0043] In this embodiment, only when forming the p^- type silicon carbide base regions 3a and 3b, heat-treat under the above-mentioned atmosphere, and big unevenness is not formed in a wafer surface, and are making, but. When forming the n^+ type source layers 4a and 4b, it may be made to heat-treat under the above-mentioned atmosphere. Namely, after forming the surface channel layer 5, are performing heat treatment for forming the amounts 4a and 4b of n^+ type source, but. Also in this case, although unevenness of the surface of the surface channel layer 5 is enlarged and it is thought that carrier mobility may be reduced, Thus, heat treatment for forming the n^+ type source regions 4a and 4b can also be made more into the outstanding quality crystalline surface channel layer 5, if big unevenness is made not to be formed in a wafer surface.

[0044] Before forming the surface channel layer 5, the n^+ type source layers 4a and 4b are formed by heat treatment under the same atmosphere as the p^- type silicon carbide base regions 3a and 3b, and it may be made to form the surface channel layer 5 after that. Also in this case, since big unevenness is not formed in a wafer surface by heat treatment for forming the n^+ type source layers 4a and 4b, it can be considered as the outstanding crystalline surface channel layer 5.

[0045] In [the case where a device is manufactured by the conventional method and when the p^- type silicon carbide base regions 3a and 3b are formed under the above-mentioned atmosphere]. The FET operating characteristic (voltage V_{ds} characteristic between drain current I_d -drain source) was investigated under the same gate voltage about the case where the p^- type silicon carbide base regions 3a and 3b and the n^+ type source layers 4a and 4b are formed under the above-mentioned atmosphere. The result is shown in drawing 3. In a figure, the solid line has shown the conventional method and The p^- type silicon carbide base region 3a, The two-dot chain line has shown the case where only 3b has shown the case where it forms under the above-mentioned atmosphere, with the dashed dotted line, and forms the p^- type silicon carbide base regions 3a and 3b and the n^+ type silicon carbide base regions 4a and 4b under the above-mentioned atmosphere.

[0046] This result shows that the drain current I_d is increasing notably to the conventional planar type power metal-oxide semiconductor field effect transistor in the direction at the time of forming the p^- type silicon carbide base regions 3a and 3b under the above-mentioned atmosphere. When the n^+ type source layers 4a and 4b are formed under the above-mentioned atmosphere, it turns out that the drain current I_d is increasing notably further. Therefore, it can be said that high mobility-ization of planar type power metal-oxide semiconductor field effect transistor can be attained.

[0047] Thus, by performing heat treatment of the activation of an impurity by which the ion implantation was carried out under the silicon carbide atmosphere used as the sublimation pressure power of silicon carbide, and an equivalent pressure, the crystallinity of the surface channel layer 5 can be made good, and high mobility-ization of planar type power metal-oxide semiconductor field effect transistor can be attained.

(A 2nd embodiment) This embodiment explains the case where it uses also [heat treatment / which activates the impurity in the case of formation of heat treatment when growing the surface channel layer 5 epitaxially of the p^- type silicon carbide base regions 3a and 3b].

[0048] Since the manufacturing process of the planar type power metal-oxide semiconductor field effect transistor in this embodiment is almost the same as the conventional manufacturing process shown in drawing 7 - drawing 9, it explains only a different portion and omits explanation about the same portion. First, the process shown in drawing 7 (a) like the above is performed, and the n^- type silicon carbide epilayer 2 is formed.

[0049] Next, the process shown below is carried out.

[The process shown in drawing 4 (a)] The ion implantation of the p type impurities 300, such as boron (B^+), is carried out to the predetermined region of the n^- type silicon carbide epilayer 2.

[The process shown in drawing 4 (b)] With an epitaxial grown method, the surface channel layer 5 is formed in the surface (entire wafer surface) of the n^- type silicon carbide epilayer 2, and the p type impurity 300 is further activated by heat treatment at this time. The conditions of epitaxial growth heat-treat at elevated temperature 1300-1700 °C rather than the temperature of the epitaxial growth generally performed, and they make SiH_4 , C_3H_8 .

and H₂ source gas. Thereby, the surface channel layer 5 is formed and the p⁻ type silicon carbide base regions 3a and 3b are activated.

[0050]Although the silicon carbide of a wafer surface sublimates by heat treatment of this epitaxial growth (evaporation), In order to grow the surface channel layer 5 epitaxially simultaneously, silicon carbide is formed at quick speed in a wafer surface, and the surface channel layer 5 is formed rather than the silicon carbide of a wafer surface will sublimate (evaporation). That that is, big unevenness is formed in a wafer surface. Since it is because there is more quantity which the silicon carbide of a wafer surface sublimates (evaporation) than the quantity which sublimates to a wafer surface out of atmosphere (solidification), and serves as silicon carbide, Big unevenness will not be formed in a wafer surface if the quantity which the silicon carbide of a wafer surface sublimates (evaporation) becomes less than the quantity which sublimates to a wafer surface out of atmosphere (solidification), and serves as silicon carbide.

[0051]When it heat-treated on such conditions, the surface of the surface channel layer 5 was formed only unevenness of about an average of 2 nm. When heat-treated as reference under the above-mentioned conventional conditions (refer to the process shown in drawing 7 (b)), unevenness of about 7 nm was formed in the surface of the surface channel layer 5. If silicon carbide is formed to a wafer surface and the surface channel layer 5 is quickly formed in it rather than the silicon carbide of a wafer surface will sublimate (evaporation) so that clearly from this result, the good crystalline surface channel layer 5 can be formed.

[0052]In order to make heat treatment in the case of epitaxial growth for the surface channel layer 5 to form, and heat treatment for activation of the impurity which forms the p⁻ type silicon carbide base regions 3a and 3b make it serve a double purpose in this way, A manufacturing process can be simplified as compared with the case where it heat-treats independently. Then, planar type power metal-oxide semiconductor field effect transistor is completed through the process shown in drawing 8 and drawing 9.

[0053]Thus, the planar type power metal-oxide semiconductor field effect transistor in this completed embodiment, As compared with planar type MOSFET in the former, rather than ** used as a good thing, and the conventional thing, the crystallinity of the surface channel layer 5 can raise the channel mobility of the surface channel layer 5, and can consider it as the planar type power metal-oxide semiconductor field effect transistor of high mobility.

[0054]Although heat treatment in the case of epitaxial growth for the surface channel layer 5 to form and heat treatment for activation of the impurity which forms the p⁻ type silicon carbide base regions 3a and 3b were made to make it serve a double purpose in this embodiment, In addition, heat treatment for activation of the impurity which forms the n⁻ type source layers 3a and 3b can also be made to make it serve a double purpose. Namely, the ion implantation of the p type impurity for forming the p⁻ type silicon carbide base regions 3a and 3b, before forming the surface channel layer 5, The ion implantation of the n type impurity for forming the n⁻ type source layers 4a and 4b is performed, and the impurity poured in by heat treatment which grows the surface channel layer 5 epitaxially after that can also be activated.

[0055]Can avoid forming big unevenness in the surface of the surface channel layer 5 by doing in this way in the case of heat treatment of activation of the impurity for forming the n⁻ type source regions 4a and 4b, and. Since the necessity of heat-treating activation of the impurity for forming the n⁻ type source regions 4a and 4b separately can be abolished, simplification of a manufacturing process can be attained.

[0056](Other embodiments) In order to make the inside of the high-frequency-induction-heating furnace 100 into silicon carbide atmosphere, he is trying to supply the gas for constituting silicon carbide in a 1st embodiment of the above, but it is also possible to adopt the method shown below. For example, as shown in drawing 5, form the sample table 110 in the position which opposes the sample table 101 by which the wafer (silicon carbide substrate 1) which forms a device among the high-frequency-induction-heating furnaces 100 is carried, and. By arranging the dummy silicon carbide substrate 120 to this sample table 110, and making the silicon carbide of the dummy silicon carbide substrate 120 sublimate (evaporation), The method of keeping silicon carbide from sublimating not much from the surface of the wafer 200 which forms a device (evaporation) is employable. In this case, if the dummy silicon carbide substrate 120 is made into the glass shape which carried out the character of section KO and the wafer 200 is covered on the whole, effect will be taken more. Silicon carbide powder etc. are beforehand put in in the high-frequency-induction-heating furnace 100, and the method to which make it make this silicon carbide powder sublimate (evaporation) can also be adopted.

[0057]Although planar type MOSFET was mentioned as the example and the above-mentioned embodiment explained it, one embodiment of this invention may be applied to what is called a trench type (concave type) vertical mold MOSFET that made the channel layer vertical to the substrate face. In the above-mentioned embodiment, when the crystal form of silicon carbide is shown, expression which attached the bar on the necessary number should be taken, but “-” is attached and expressed behind a necessary number instead of attaching a bar on a necessary number in this specification, since restrictions are shown in an expressive medium.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a figure showing the manufacturing process of the planar type power metal-oxide semiconductor field effect transistor in a 1st embodiment.

[Drawing 2] It is a figure for explaining heat treatment at a high-frequency-induction-heating furnace.

[Drawing 3] It is a characteristic figure for comparing the carrier mobility of the surface channel layer 5 of the planar type power metal-oxide semiconductor field effect transistor in a 1st embodiment with the conventional thing.

[Drawing 4] It is a figure showing the manufacturing process of the planar type power metal-oxide semiconductor field effect transistor in a 2nd embodiment.

[Drawing 5] It is a figure for explaining heat treatment at the high-frequency-induction-heating furnace in other embodiments.

[Drawing 6] It is a sectional view in which these people show the composition of the vertical mold power metal-oxide semiconductor field effect transistor which applied previously.

[Drawing 7] It is a figure showing the manufacturing process of the vertical mold power metal-oxide semiconductor field effect transistor shown in drawing 6.

[Drawing 8] It is a figure showing the manufacturing process of the vertical mold power metal-oxide semiconductor field effect transistor following drawing 7.

[Drawing 9] It is a figure showing the manufacturing process of the vertical mold power metal-oxide semiconductor field effect transistor following drawing 8.

[Description of Notations]

1 — An n^+ type silicon carbide semiconductor board, 2 — n^- type silicon carbide epitaxial layer, 3a, a 3 b— p^- type silicon carbide base region, 4a, a 4 b— n^+ type source region, 5 [— An insulator layer 10 / — A source electrode 11 / — Drain electrode.] — A surface channel layer (n^- type SiC layer), 7 — Gate dielectric film, 8 — A gate electrode, 9

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-274481

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl. ⁸	識別記号	F I		
H 0 1 L 29/78		H 0 1 L 29/78	6 5 2 T	
21/265		21/28	3 0 1 F	
21/28	3 0 1	21/265	Z	
21/336			6 0 2 A	
		29/78	6 5 8 Z	
		審査請求	未請求	請求項の数9 O L (全 10 頁)

(21) 出願番号 特願平10-72365

(22) 出願日 平成10年(1998)3月20日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 小島 淳

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(72) 発明者 山本 剛

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

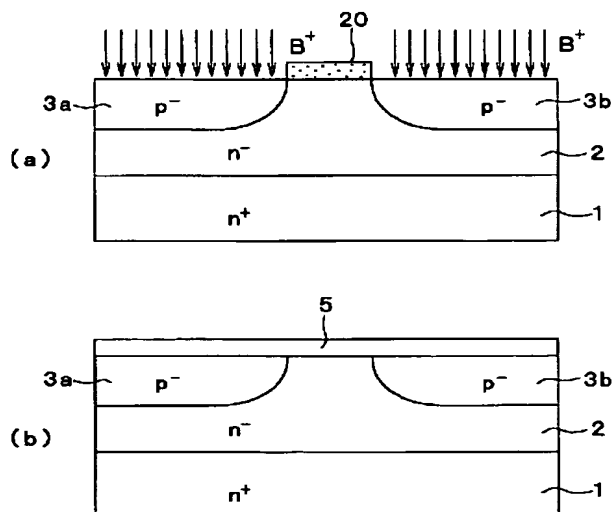
(74) 代理人 弁理士 伊藤 洋二 (外1名)

(54) 【発明の名称】 炭化珪素半導体装置の製造方法

(57) 【要約】

【課題】 不純物の活性化のための熱処理によっても、チャネル領域に大きな凹凸が形成されないようにし、チャネル領域の高移動度化を図る。

【解決手段】 n^- 型炭化珪素エピ層2の表層部の所定領域に、 p 型不純物をイオン注入する。そして、炭化珪素雰囲気下で熱処理を行って、 p 型不純物を活性化させて所定深さを有する p^- 型炭化珪素ベース領域3 a、3 bを形成する。このように、 p^- 型炭化珪素ベース領域3 a、3 bを形成するためにイオン注入した p 型不純物の活性化の熱処理を炭化珪素雰囲気下で行うことにより、 n^- 型炭化珪素エピ層2の表面から炭化珪素が昇華（気化）して消失してしまうだけでなく、該表面に炭化珪素が昇華（結晶成長）して供給されるため、 n^- 型炭化珪素エピ層2に大きな凹凸が形成されないようにできる。このため、この n^- 型炭化珪素エピ層2の表面に形成される表面チャネル層5を良好なものにできる。



【特許請求の範囲】

【請求項 1】 炭化珪素からなる第 1 導電型の半導体基板 (1) の主表面上に、この半導体基板よりも高抵抗な炭化珪素よりなる第 1 導電型の半導体層 (2) を形成する工程と、

前記半導体層の表層部の所定領域に、第 2 導電型不純物をイオン注入する工程と、

炭化珪素雰囲気下で熱処理を行い、前記第 2 導電型不純物を活性化させて所定深さを有する第 2 導電型のベース領域 (3 a、3 b) を形成する工程と、

前記半導体層及び前記ベース領域の上部にチャネル領域となる表面チャネル層 (5) をエピタキシャル成長させる工程と、

前記ベース領域の表層部の所定領域に、前記表面チャネル層に接すると共に該ベース領域よりも浅い第 1 導電型のソース領域 (4 a、4 b) を形成する工程と、

前記表面チャネル層の上部にゲート電極 (8) を形成すると共に、前記ベース領域に接するソース電極 (10) を形成する工程と、を含んでいることを特徴とする炭化珪素半導体装置の製造方法。

【請求項 2】 前記ソース領域を形成する工程は、第 1 導電型不純物をイオン注入する工程と、炭化珪素雰囲気下で熱処理を行い、前記第 1 導電型不純物を活性化させる工程とを含んでいることを特徴とする請求項 1 に記載の炭化珪素半導体装置の製造方法。

【請求項 3】 前記第 2 導電型不純物を活性化させる熱処理と、前記第 1 導電型不純物を活性化させる熱処理とを同時に行うことを特徴とする請求項 2 に記載の炭化珪素半導体装置の製造方法。

【請求項 4】 前記炭化珪素雰囲気を、炭化珪素が昇華する圧力とほぼ同等の圧力とすることを特徴とする請求項 1 乃至 3 のいずれか 1 つに記載の炭化珪素半導体装置の製造方法。

【請求項 5】 前記炭化珪素雰囲気を、珪化水素化合物ガスと炭化水素化合物ガスとからなる混合ガスによって形成することを特徴とする請求項 1 乃至 4 のいずれか 1 つに記載の炭化珪素半導体装置の製造方法。

【請求項 6】 前記炭化珪素雰囲気を、前記半導体基板とは別に備えられた炭化珪素からなるダミー基板 (120) と共に熱処理することで形成することを特徴とする請求項 1 乃至 4 のいずれか 1 つに記載の炭化珪素半導体装置の製造方法。

【請求項 7】 前記炭化珪素雰囲気を、炭化珪素よりなる粉末と共に熱処理することで形成することを特徴とする請求項 1 乃至 4 のいずれか 1 つに記載の炭化珪素半導体装置の製造方法。

【請求項 8】 炭化珪素からなる第 1 導電型の半導体基板 (1) の主表面上に、この半導体基板よりも高抵抗な炭化珪素よりなる第 1 導電型の半導体層 (2) を形成する工程と、

前記半導体層の表層部の所定領域に、第 2 導電型不純物をイオン注入する工程と、

エピタキシャル成長法により、前記半導体層の表面にチャネル領域となる表面チャネル層 (5) をエピタキシャル成長させると共に、該エピタキシャル成長の熱処理によって前記第 2 導電型不純物を活性化させて第 2 導電型のベース領域 (3 a、3 b) を形成する工程と、

前記ベース領域の表層部の所定領域に、前記表面チャネル層に接すると共に該ベース領域よりも浅い第 1 導電型のソース領域 (4 a、4 b) を形成する工程と、

前記表面チャネル層の上部にゲート電極 (8) を形成すると共に、前記ベース領域に接するソース電極 (10) を形成する工程と、を含んでいることを特徴とする炭化珪素半導体装置の製造方法。

【請求項 9】 炭化珪素からなる第 1 導電型の半導体基板 (1) の主表面上に、この半導体基板よりも高抵抗な炭化珪素よりなる第 1 導電型の半導体層 (2) を形成する工程と、

前記半導体層の表層部の所定領域に、第 2 導電型不純物をイオン注入する工程と、

前記半導体層の表層部の所定領域に、第 1 導電型不純物をイオン注入する工程と、

エピタキシャル成長法により、前記半導体層の表面にチャネル領域となる表面チャネル層 (5) をエピタキシャル成長させると共に、該エピタキシャル成長の熱処理によって前記第 2 導電型不純物を活性化させてベース領域 (3 a、3 b) を形成し、さらに前記第 1 導電型不純物を活性化させて前記ベース領域の所定領域に、前記表面チャネル層に接すると共に前記ベース領域よりも浅いソース領域 (4 a、4 b) を形成する工程と、

前記表面チャネル層の上部にゲート電極 (8) を形成すると共に、前記ベース領域に接するソース電極 (10) を形成する工程と、を含んでいることを特徴とする炭化珪素半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、炭化珪素半導体装置の製造方法に関し、特に絶縁ゲート型電界効果トランジスタ、とりわけ大電力用の縦型パワー MOSFET に関するものである。

【0002】

【従来の技術】本出願人は、縦型 MOSFET において、チャネル移動度を向上させてオン抵抗を低減させたものを、特願平 9-259076 号で出願している。この縦型 MOSFET のうち、プレーナ型 MOSFET を例として、その断面図を図 6 に示し、この図に基づいてプレーナ型縦型 MOSFET の構造について説明する。

【0003】 n^+ 型炭化珪素半導体基板 1 は上面を主表面 1 a とし、主表面の反対面である下面を裏面 1 b としている。この n^+ 型炭化珪素半導体基板 1 の主表面 1 a

上には、基板1よりも低いドーパント濃度を有する n^- 型炭化珪素エピタキシャル層（以下、 n^- 型炭化珪素エピ層という）2が積層されている。このとき、 n^- 型炭化珪素半導体基板1および n^- 型炭化珪素エピ層2の上面を（0001）Si面としているが、 n^- 型炭化珪素半導体基板1および n^- 型炭化珪素エピ層2の上面を（112-0）a面としてもよい。つまり、（0001）Si面を用いると低い表面状態密度が得られ、（112-0）a面を用いると、低い表面状態密度で、かつ完全にらせん転位の無い結晶が得られるためである。なお、 $3^\circ \sim 10^\circ$ 程度の傾斜を設けたオフ基板を用いることもできる。

【0004】 n^- 型炭化珪素エピ層2の表層部における所定領域には、所定深さを有する p^- 型炭化珪素ベース領域3aおよび p^- 型炭化珪素ベース領域3bが離間して形成されている。また、 p^- 型炭化珪素ベース領域3aの表層部における所定領域には、ベース領域3aよりも浅い n^+ 型ソース領域4aが、また、 p^- 型炭化珪素ベース領域3bの表層部における所定領域には、ベース領域3bよりも浅い n^+ 型ソース領域4bがそれぞれ形成されている。

【0005】さらに、 n^+ 型ソース領域4aと n^+ 型ソース領域4bとの間における n^- 型炭化珪素エピ層2および p^- 型炭化珪素ベース領域3a、3bの表面部には n^- 型SiC層5が延設されている。つまり、 p^- 型炭化珪素ベース領域3a、3bの表面部においてソース領域4a、4bと n^- 型炭化珪素エピ層2とを繋ぐように n^- 型SiC層5が配置されている。

【0006】この n^- 型SiC層5は、エピタキシャル成長にて形成されたものであり、エピタキシャル膜の結晶が4H、6H、3Cのものを用いる。尚、エピタキシャル層は下地の基板に関係なく各種の結晶を形成できるものである。この n^- 型SiC層5は、デバイスの動作時にデバイス表面においてチャネル形成層として機能する。以下、この n^- 型SiC層5を表面チャネル層という。

【0007】表面チャネル層5のドーパント濃度は、 $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 程度の低濃度となっており、かつ、 n^- 型炭化珪素エピ層2及び p^- 型炭化珪素ベース領域3a、3bのドーパント濃度以下となっている。これにより、低オン抵抗化が図られている。また、 p^- 型炭化珪素ベース領域3a、3b、 n^+ 型ソース領域4a、4bの表面部には凹部6a、6bが形成されている。

【0008】表面チャネル層5の上面および n^+ 型ソース領域4a、4bの上面にはゲート絶縁膜（シリコン酸化膜）7が形成されている。さらに、ゲート絶縁膜7の上にはポリシリコンゲート電極8が形成されており、このポリシリコンゲート電極8はLTO（Low Temperature Oxide）からなる絶縁膜9にて

覆われている。その上にはソース電極10が形成され、ソース電極10は n^+ 型ソース領域4a、4bおよび p^- 型炭化珪素ベース領域3a、3bと接している。また、 n^- 型炭化珪素半導体基板1の裏面1bには、ドレイン電極11が形成されている。

【0009】次に、図6に示すプレーナ型パワーMOSFETの製造工程を、図7～図9を用いて説明する。

〔図7（a）に示す工程〕まず、 n 型4Hまたは6Hまたは3C-SiC基板、すなわち n^- 型炭化珪素半導体基板1を用意する。ここで、 n^- 型炭化珪素半導体基板1はその厚さが $400 \mu\text{m}$ であり、主表面1aが（0001）Si面、又は、（112-0）a面である。この基板1の主表面1aに厚さ $5 \mu\text{m}$ の n^- 型炭化珪素エピ層2をエピタキシャル成長する。本例では、 n^- 型炭化珪素エピ層2は下地の基板1と同様の結晶が得られ、 n 型4Hまたは6Hまたは3C-SiC層となる。

【0010】〔図7（b）に示す工程〕 n^- 型炭化珪素エピ層2の表面を研磨したのち、この上の所定領域にLTO膜20を配置し、これをマスクとして p 型不純物（例えば、ボロンやアルミニウム）をイオン注入して、 p^- 型炭化珪素ベース領域3a、3bを形成する。このときのイオン注入条件は、ボロン（ B^+ ）を注入する場合には、温度が $700 \sim 1000^\circ\text{C}$ で、ドーズ量が $1 \times 10^{15} \text{ cm}^{-2}$ としている。

【0011】〔図7（c）に示す工程〕LTO膜20を除去した後、エピタキシャル成長法によって、 n^- 型炭化珪素エピ層2の表層部及び p^- 型炭化珪素ベース領域3a、3bの上部に表面チャネル層5を成長させる。このエピタキシャル成長の際に実行する熱処理の温度は $1200 \sim 1800^\circ\text{C}$ としている。

【0012】なお、このとき、プレーナ型パワーMOSFETをノーマリオフ型にするために、表面チャネル層5の厚み（膜厚）は所望の厚みとしている。

〔図8（a）に示す工程〕表面チャネル層5の上の所定領域にLTO膜21を配置し、これをマスクとして n 型不純物（例えば窒素（ N^+ ））をイオン注入し、 n^+ 型ソース領域4a、4bを形成する。このときのイオン注入条件は、 700°C 、ドーズ量は $1 \times 10^{15} \text{ cm}^{-2}$ としている。

【0013】〔図8（b）に示す工程〕そして、LTO膜21を除去した後、フォトリソ法を用いて表面チャネル層5の上の所定領域にLTO膜22を配置し、これをマスクとしてRIEにより p^- 型炭化珪素ベース領域3a、3b上の表面チャネル層5を部分的にエッチング除去する。

【0014】〔図8（c）に示す工程〕さらに、LTO膜22をマスクにして B^+ をイオン注入し、ディープベース層30a、30bを形成する。これにより、ベース領域3a、3bの一部が厚くなったものとなり、ディープベース層30a、30b下の n^- 型炭化珪素エピ層2

10

20

30

40

50

における厚さが薄くなって、電界強度を高くすることができるため、この部分でアバランシェブレイクダウンし易くなり、耐圧を向上させることができる。

【0015】このディープベース層30a、30bは、 n^+ 型ソース領域4a、4bに重ならない部分に形成されると共に、 p^- 型炭化珪素ベース領域3a、3bのうちディープベース層30a、30bが形成された厚みが厚くなった部分が、ディープベース層30aが形成されていない厚みの薄い部分よりも不純物濃度が濃く形成される。

【0016】〔図9(a)に示す工程〕LTO膜22を除去した後、基板の上にウェット酸化によりゲート絶縁膜(ゲート酸化膜)7を形成する。このとき、雰囲気温度は1080℃とする。その後、ゲート絶縁膜7の上にポリシリコンゲート電極8をLPCVDにより堆積する。このときの成膜温度は600℃とする。

【0017】〔図9(b)に示す工程〕引き続き、ゲート絶縁膜7の不要部分を除去した後、LTOよりなる絶縁膜9を形成しゲート絶縁膜7を覆う。より詳しくは、成膜温度は425℃であり、成膜後に1000℃のアニールを行う。このとき、アニール雰囲気ガスは H_2 、 N_2 、若しくはArのいずれかとする。

【0018】〔図9(c)に示す工程〕そして、室温での金属スパッタリングによりソース電極10及びドレイン電極11を配置する。また、成膜後に1000℃のアニールを行う。このようにして、図6に示す縦型パワーMOSFETが完成する。

【0019】

【発明が解決しようとする課題】上記図6に示したプレーナ型MOSFETでは、 p^- 型炭化珪素ベース領域3a、3bをイオン注入によって形成しているが、通常イオン注入を行った後には、注入されたイオンを活性化するために、1200℃を超える高温での熱処理(活性化アニール)を施す必要がある(特開平8-8210号公報参照)。

【0020】この熱処理によって p^- 型炭化珪素ベース領域3a、3b等の表面に介在する炭化珪素(SiC)が昇華(気化)してしまうために、昇華してしまった表面の凹凸が大きくなり、この後エピタキシャル成長される表面チャネル層5の結晶性を悪化させてしまい、表面チャネル層5の電子移動度を低下させ、高抵抗にしているということが判明した。

【0021】本発明は上記点に鑑みて成され、チャネル領域をエピタキシャル成長によって形成する場合において、エピタキシャル成長する前にイオン注入が行われた場合にも、注入された不純物の活性化によるチャネル領域の結晶性の悪化を防止できる炭化珪素半導体装置の製造方法を提供することを目的とする。

【0022】

【課題を解決するための手段】上記目的を達成するた

め、以下の技術的手段を採用する。請求項1乃至8に記載の発明においては、半導体層(2)の表層部の所定領域に、第2導電型不純物をイオン注入し、炭化珪素雰囲気下で熱処理を行い、第2導電型不純物を活性化させて所定深さを有する第2導電型のベース領域(3a、3b)を形成することを特徴としている。

【0023】このように、ベース領域を形成するためにイオン注入した第2導電型不純物の活性化の熱処理を炭化珪素雰囲気下で行うことにより、半導体層の表面から炭化珪素が昇華(気化)して消失してしまうだけでなく、半導体層の表面に炭化珪素が昇華(結晶成長)して供給されるため、半導体層に大きな凹凸が形成されないようにできる。このような表面状態が良好な半導体層の表面に表面チャネル層(5)を形成するため、表面チャネル層の結晶性を悪化させることなく、良好なものにすることができる。

【0024】請求項2に記載の発明においては、ソース領域(4a、4b)を形成する工程は、第1導電型不純物をイオン注入する工程と、炭化珪素雰囲気下で熱処理を行い、第1導電型不純物を活性化させる工程とを含んでいることを特徴としている。このように、ソース領域を形成する場合においても炭化珪素雰囲気にして不純物の活性化を行うようにすることにより、表面チャネル層の結晶性をより良好なものにすることができる。

【0025】請求項3に記載の発明においては、第2導電型不純物を活性化させる熱処理と、第1導電型不純物を活性化させる熱処理とを兼用することを特徴としている。このように、第2導電型不純物と第1導電型不純物を活性化するための熱処理を兼用すれば、装置の製造工程の簡略化を図ることができる。請求項4に記載の発明においては、炭化珪素雰囲気を、炭化珪素が昇華する圧力とほぼ同等の圧力とすることを特徴としている。

【0026】このように、炭化珪素雰囲気を、炭化珪素が昇華する圧力とほぼ同等の圧力とすれば、半導体層の表面から炭化珪素が昇華(気化)する量と、半導体層の表面に炭化珪素が昇華(結晶成長)して供給される量を同等にできるため、活性化のための熱処理を行っても半導体層の凹凸が大きくなりないようにできる。なお、炭化珪素雰囲気は、請求項5に示すように、珪化水素化合物ガスと炭化水素化合物ガスとからなる混合ガスを供給することによって形成したり、請求項6に示すように、半導体基板とは別に備えられた炭化珪素からなるダミー基板(110)と共に熱処理を行うことによって形成したり、さらには請求項7に示すように炭化珪素よりなる粉末と共に熱処理を行うことによって形成することができる。

【0027】請求項8に記載の発明においては、半導体層(2)の表層部の所定領域に、第2導電型不純物をイオン注入し、さらにエピタキシャル成長法により、半導体層の表面にチャネル領域となる表面チャネル層(5)

10

20

30

40

50

をエビタキシャル成長させると共に、該エビタキシャル成長の熱処理によって第2導電型不純物を活性化させて第2導電型のベース領域(3a、3b)を形成することを特徴としている。

【0028】このように、ベース領域を形成するための第2導電型不純物の活性化の熱処理を、エビタキシャル成長の熱処理によって行うようにすれば、炭化珪素が昇華(気化)して消失してしまう量よりも、炭化珪素が昇華(結晶成長)して供給される量の方が多いため、半導体層の表面に凹凸が形成されるよりも速いスピードで炭化珪素を成膜していき、表面チャネル層を形成することができる。これにより、請求項1と同様の効果が得られる。また、ベース領域を形成するための不純物の活性化の熱処理を別途行う必要がないため装置の製造工程の簡略化を図ることができる。

【0029】なお、エビタキシャル成長の際の熱処理を不純物の活性化の熱処理と兼用させるため、一般的に行われるエビタキシャル成長の際の熱処理よりも高温度となる1300~1800℃程度でエビタキシャル成長を行うのが好ましい。請求項9に記載の発明においては、エビタキシャル成長法により、半導体層の表面にチャネル領域となる表面チャネル層(5)をエビタキシャル成長させると共に、該エビタキシャル成長の熱処理によって第2導電型不純物を活性化させてベース領域(3a、3b)を形成し、さらに第1導電型不純物を活性化させてベース領域の所定領域に、表面チャネル層に接すると共にベース領域よりも浅いソース領域(4a、4b)を形成することを特徴としている。

【0030】このように、エビタキシャル成長の際の熱処理によって不純物を活性化させて、ベース領域とソース領域を共に形成することにより、さらに装置の製造工程を簡略化できると共に、請求項8の効果が得られ、さらにソース領域を形成するための不純物の活性化の熱処理によっても表面チャネル層に大きな凹凸が形成されないようにできる。

【0031】

【発明の実施の形態】以下、本発明を図に示す実施形態について説明する。

(第1実施形態)本実施形態に示される縦型パワーMOSFETは、製造方法についてが従来と異っており、構造については図6に示す縦型パワーMOSFETと同様であるため、製造方法についてのみ説明し、構造についての説明は省略する。なお、本実施形態では、上記図7~図9に示した従来の製造工程とほぼ同様であるため、異なる部分のみ説明し、同様の部分については説明を省略する。

【0032】まず、上記と同様に図7(a)に示す工程を行い、 n^- 型炭化珪素エピ層2を形成する。次に、以下に示す工程を実施する。

【図1(a)に示す工程】 n 型炭化珪素エピ層2の所定

領域に、 p 型不純物をイオン注入する。その後、注入された不純物を活性化するために、高周波加熱炉内で熱処理を施す。この高周波加熱炉での熱処理の様子を図2に示して説明する。

【0033】図2に示すように、高周波加熱炉100は、デバイス形成するウェハ(この場合には、 n^- 型炭化珪素エピ層2が形成された n^+ 型炭化珪素半導体基板1)200が搭載される試料台101を内蔵した加熱炉102と、この加熱炉102の外周に巻回された加熱用のコイル103とを備えて構成されている。加熱炉102は、ガス供給が行えるようになっており、炉内のガス雰囲気を設定できるようになっている。

【0034】このように構成された高周波加熱炉100を用いて、ウェハ200を試料台101に搭載し、コイル103へ通電することで炉内を1300~1700℃の温度にし、不純物の活性化のための熱処理(活性化アニール)を行う。このとき、ガス供給によって炉内をSiC雰囲気、例えば珪素水素化合物ガス及び炭化水素化合物ガスの混合雰囲気にすると共に、雰囲気の圧力を炭化珪素(SiC)が昇華する圧力(以下、昇華圧という)と同等にして熱処理を行う。

【0035】また、このとき、珪素水素化合物ガスの分圧の方が炭化水素化合物ガスの分圧よりも高くなるようにしている。これは、熱処理の際に炭素が残ってしまうためであり、珪素の供給量を多くすることにより珪素供給不足をなくしている。これにより、注入された p 型不純物が活性化され、 p^- 型炭化珪素ベース領域3a、3bが形成される。

【0036】このとき、雰囲気の圧力を炭化珪素の昇華圧と同等にして熱処理を行っているため、ウェハ表面(ここでは n^- 型炭化珪素エピ層2の表面)の炭化珪素が昇華(気化)して消失する量と、ウェハ表面に炭化珪素が昇華(固化)して供給される量とが同等になり、ウェハ表面の炭化珪素が昇華(気化)して消失してしまうだけでなく、結晶化してウェハ表面に昇華(固化)して供給されるようになっているため、活性化のための熱処理によってウェハ表面に大きな凹凸が形成されないようにすることができる。

【0037】このような条件で熱処理を行った場合、ウェハ表面には、平均2nm程度の凹凸しか形成されなかった。参考として、炭化珪素雰囲気でない条件下で熱処理を行ったところ、ウェハ表面に7nm程度の凹凸が形成された。この結果から明らかなように、炭化珪素が気化する圧力と結晶化する圧力とがほぼ同等となる炭化珪素雰囲気下で熱処理を行うことにより、表面チャネル層5が形成される p^- 型炭化珪素ベース領域3a、3bの表面に大きな凹凸が形成されないようにすることができる。

【0038】なお、本実施形態の方法を用いた場合でも平均2nm程度の凹凸が認められたが、この程度の凹凸

は現在入手可能なウェハの表面に初めから存在しているものであるため、本実施形態の方法によれば、ウェハ表面に形成されている凹凸をほとんど大きくしないように活性化のための熱処理を行っているといえる。

〔図 1 (b) に示す工程〕そして、1200~1500℃程度の温度下で p⁻ 型炭化珪素ベース領域 3a、3b の表面を含むウェハ表面に表面チャネル層 5 を、例えば CVD 法によってエピタキシャル成長させる。このとき、ウェハ表面となる n⁺ 型炭化珪素エピ層 2 の表面には大きな凹凸が形成されていないため、結晶性が良好な表面チャネル層 5 が形成される。

【0039】この後、図 8、図 9 に示す工程を経てプレーナ型パワー MOSFET を完成させる。このようにして、本実施形態におけるプレーナ型パワー MOSFET が製造される。次に、この縦型パワー MOSFET の作用（動作）を説明する。本 MOSFET はノーマリオフ型の蓄積モードで動作するものであって、ポリシリコンゲート電極に電圧を印加しない場合は、表面チャネル層 5 においてキャリアは、p⁻ 型炭化珪素ベース領域 3a、3b と表面チャネル層 5 との間の静電ポテンシャルの差、及び表面チャネル層 5 とポリシリコンゲート電極 8 との間の仕事関数の差により生じた電位によって全域空乏化される。ポリシリコンゲート電極 8 に電圧を印加することにより、表面チャネル層 5 とポリシリコンゲート電極 8 との間の仕事関数の差と外部からの印加電圧の和により生じる電位差を変化させる。このことにより、チャネルの状態を制御することができる。

【0040】つまり、ポリシリコンゲート電極 8 の仕事関数を第 1 の仕事関数とし、p⁻ 型炭化珪素ベース領域 3a、3b の仕事関数を第 2 の仕事関数とし、表面チャネル層 5 の仕事関数を第 3 の仕事関数としたとき、第 1 ~ 第 3 の仕事関数の差を利用して、表面チャネル層 5 の n 型のキャリアを空乏化する様に第 1 ~ 第 3 の仕事関数と表面チャネル層 5 の不純物濃度及び膜厚を設定することができる。

【0041】また、オフ状態において、空乏領域は、p⁻ 型炭化珪素ベース領域 3a、3b 及びポリシリコンゲート電極 8 により作られた電界によって、表面チャネル層 5 内に形成される。この状態からポリシリコンゲート電極 8 に対して正のバイアスを供給すると、ゲート絶縁膜 (SiO₂) 7 と表面チャネル層 5 との間の界面において n⁺ 型ソース領域 4a、4b から n⁻ 型ドリフト領域 2 方向へ延びるチャネル領域が形成され、オン状態にスイッチングされる。このとき、電子は、n⁺ 型ソース領域 4a、4b から表面チャネル層 5 を経由し表面チャネル層 5 から n⁻ 型炭化珪素エピ層 2 に流れる。そして、n⁻ 型炭化珪素エピ層 2 (ドリフト領域) に達すると、電子は、n⁺ 型炭化珪素半導体基板 1 (n⁺ ドレイン) へ垂直に流れる。

【0042】このようにゲート電極 8 に正の電圧を印加

することにより、表面チャネル層 5 に蓄積型チャネルを誘起させ、ソース電極 10 とドレイン電極 11 との間にキャリアが流れる。このとき、上述したように、本実施形態におけるプレーナ型パワー MOSFET は、従来におけるプレーナ型 MOSFET に比して表面チャネル層 5 の結晶性が良好なものとなっている。このため、本実施形態においては、従来のものよりも表面チャネル層 5 のチャネル移動度を向上させることができ、高移動度のプレーナ型パワー MOSFET とすることができる。

【0043】なお、本実施形態では、p⁻ 型炭化珪素ベース領域 3a、3b を形成する場合にのみ、上記雰囲気下で熱処理を行い、ウェハ表面に大きな凹凸が形成されないようにしているが、n⁺ 型ソース層 4a、4b を形成する場合等にも上記雰囲気下で熱処理を行うようにしてもよい。すなわち、表面チャネル層 5 を形成した後に、n⁺ 型ソース層 4a、4b を形成するための熱処理を行っているが、この場合においても表面チャネル層 5 の表面の凹凸を大きくしてしまい、キャリア移動度を低下させる可能性があると考えられるが、このように n⁺ 型ソース領域 4a、4b を形成するための熱処理もウェハ表面に大きな凹凸が形成されないようにすれば、より結晶性の優れた高品質な表面チャネル層 5 とすることができる。

【0044】また、表面チャネル層 5 を形成する前に、n⁺ 型ソース層 4a、4b を p⁻ 型炭化珪素ベース領域 3a、3b と同様の雰囲気下での熱処理で形成しておき、その後表面チャネル層 5 を形成するようにしてもよい。このような場合にも、n⁺ 型ソース層 4a、4b を形成するための熱処理によってウェハ表面に大きな凹凸が形成されないため、結晶性の優れた表面チャネル層 5 とすることができる。

【0045】なお、従来の方法でデバイスを製造した場合と、p⁻ 型炭化珪素ベース領域 3a、3b を上記雰囲気下で形成した場合と、p⁻ 型炭化珪素ベース領域 3a、3b 及び n⁺ 型ソース層 4a、4b を上記雰囲気下で形成した場合について、FET 動作特性 (ドレイン電流 I_d-ドレイン・ソース間電圧 V_{ds} 特性) を同一ゲート電圧下で調べてみた。その結果を図 3 に示す。なお、図中では、従来の方法を実線で示してあり、p⁻ 型炭化珪素ベース領域 3a、3b のみ上記雰囲気下で形成した場合を一点鎖線で示してあり、p⁻ 型炭化珪素ベース領域 3a、3b 及び n⁺ 型炭化珪素ベース領域 4a、4b を上記雰囲気下で形成した場合を二点鎖線で示してある。

【0046】この結果より、従来のプレーナ型パワー MOSFET に対して、p⁻ 型炭化珪素ベース領域 3a、3b を上記雰囲気下で形成した場合の方がドレイン電流 I_d が顕著に増大していることが判る。また、n⁺ 型ソース層 4a、4b を上記雰囲気下で形成した場合にはさらにドレイン電流 I_d が顕著に増大していることが判

る。従って、プレーナ型パワーMOSFETの高移動度化が図れているといえる。

【0047】このように、イオン注入された不純物の活性化の熱処理を、炭化珪素の昇華圧力と同等の圧力となる炭化珪素雰囲気で行うことにより、表面チャネル層5の結晶性を良好にすることができ、プレーナ型パワーMOSFETの高移動度化を図ることができる。

(第2実施形態)本実施形態では、表面チャネル層5をエピタキシャル成長させるときの熱処理を、 p^- 型炭化珪素ベース領域3a、3bの形成の際の不純物を活性化

させる熱処理と兼用する場合について説明する。
【0048】なお、本実施形態におけるプレーナ型パワーMOSFETの製造工程は、図7～図9に示される従来の製造工程とほぼ同じであるため、異なる部分のみ説明し、同様の部分については説明を省略する。まず、上記と同様に図7(a)に示す工程を行い、 n^- 型炭化珪素エピ層2を形成する。

【0049】次に、以下に示す工程を実施する。

【図4(a)に示す工程】 n^- 型炭化珪素エピ層2の所定領域に、ボロン(B^+)等の p 型不純物300をイオン注入する。

【図4(b)に示す工程】エピタキシャル成長法によって、 n^- 型炭化珪素エピ層2の表面(ウェハ全面)に表面チャネル層5を形成し、さらにこの時の熱処理で p 型不純物300を活性化させる。エピタキシャル成長の条件は、一般に行われるエピタキシャル成長の温度よりも高温な1300～1700℃で熱処理を行うと共に、 SiH_4 、 C_2H_2 、 H_2 をソースガスとする。これにより、表面チャネル層5が形成されると共に、 p^- 型炭化珪素ベース領域3a、3bが活性化される。

【0050】このエピタキシャル成長の熱処理によって、ウェハ表面の炭化珪素が昇華(気化)するが、同時に表面チャネル層5をエピタキシャル成長させているため、ウェハ表面の炭化珪素が昇華(気化)してしまうよりも速いスピードでウェハ表面に炭化珪素が成膜されて、表面チャネル層5が形成される。つまり、ウェハ表面に大きな凹凸が形成されるのは、ウェハ表面の炭化珪素が昇華(気化)する量が、雰囲気中からウェハ表面に昇華(固化)して炭化珪素となる量よりも多いからなので、ウェハ表面の炭化珪素が昇華(気化)する量が、雰囲気中からウェハ表面に昇華(固化)して炭化珪素となる量よりも少なくなればウェハ表面に大きな凹凸が形成されないのである。

【0051】このような条件で熱処理を行った場合、表面チャネル層5の表面は、平均2nm程度の凹凸しか形成されなかった。参考として、上記従来の条件下(図7(b)に示す工程参照)で熱処理を行ったところ、表面チャネル層5の表面に7nm程度の凹凸が形成された。この結果から明らかなように、ウェハ表面の炭化珪素が昇華(気化)してしまうよりも速くウェハ表面に炭化珪

素を成膜し、表面チャネル層5を形成するようにすれば、結晶性の良好な表面チャネル層5を形成することができる。

【0052】また、このように、表面チャネル層5の形成するためのエピタキシャル成長の際の熱処理と、 p^- 型炭化珪素ベース領域3a、3bを形成する不純物の活性化のための熱処理とを兼用させているため、熱処理を別々に行う場合に比して製造工程を簡略化することができる。この後、図8、図9に示す工程を経て、プレーナ型パワーMOSFETを完成させる。

【0053】このようにして完成した本実施形態におけるプレーナ型パワーMOSFETは、従来におけるプレーナ型MOSFETに比して表面チャネル層5の結晶性が良好なものとなっているため、従来のものよりも表面チャネル層5のチャネル移動度を向上させることができ、高移動度のプレーナ型パワーMOSFETとすることができる。

【0054】なお、本実施形態では、表面チャネル層5の形成するためのエピタキシャル成長の際の熱処理と、 p^- 型炭化珪素ベース領域3a、3bを形成する不純物の活性化のための熱処理とを兼用させたが、これに加えて n^- 型ソース層3a、3bを形成する不純物の活性化のための熱処理を兼用させることもできる。すなわち、表面チャネル層5を形成する前に、 p^- 型炭化珪素ベース領域3a、3bを形成するための p 型不純物のイオン注入と、 n^- 型ソース層4a、4bを形成するための n 型不純物のイオン注入とを行っておき、その後表面チャネル層5をエピタキシャル成長させる熱処理にて、注入された不純物の活性化を行うこともできる。

【0055】このようにすることで、 n^- 型ソース領域4a、4bを形成するための不純物の活性化の熱処理の際に、表面チャネル層5の表面に大きな凹凸が形成されないようにすることができると共に、 n^- 型ソース領域4a、4bを形成するための不純物の活性化の熱処理を別途行う必要をなくすることができるため、製造工程の簡略化を図ることができる。

【0056】(他の実施形態)上記第1実施形態では、高周波加熱炉100の中を炭化珪素雰囲気にするために、炭化珪素を構成するためのガスを供給するようにしているが、以下に示す方法を採用することも可能である。例えば、図5に示すように、高周波加熱炉100のうちデバイスを形成するウェハ(炭化珪素基板1)が搭載される試料台101に対抗する位置に試料台110を設けると共に、この試料台110にダミーの炭化珪素基板120を配置し、ダミーの炭化珪素基板120の炭化珪素を昇華(気化)させることによって、デバイスを形成するウェハ200の表面からあまり炭化珪素が昇華(気化)してしまわないようにするという方法を採用することができる。この場合において、ダミーの炭化珪素基板120を断面コの字をしたコップ形状とし、ウェハ

200を全体的に覆うようにすれば、より効果を奏する。また、高周波加熱炉100内に予め炭化珪素粉末等を入れておき、この炭化珪素粉末を昇華（気化）させるようにする方法を採用することもできる。

【0057】上記実施形態では、プレーナ型MOSFETを例に挙げて説明したが、チャンネル層を基板表面に対して垂直とした、いわゆるトレンチ型（コンケーブ型）縦型MOSFETに本発明の一実施形態を適用してもよい。なお、上記実施形態では、炭化珪素の結晶形を示す場合、所要の数字の上にバーを付した表現を取るべきであるが、表現手段に制約があるため、本明細書においては所要の数字の上にバーを付す代わりに、所要の数字の後ろに「-」を付して表現している。

【図面の簡単な説明】

【図1】第1実施形態におけるプレーナ型パワーMOSFETの製造工程を示す図である。

【図2】高周波加熱炉での熱処理を説明するための図である。

【図3】第1実施形態におけるプレーナ型パワーMOSFETの表面チャンネル層5のキャリア移動度と、従来の*20

*ものとを比較するための特性図である。

【図4】第2実施形態におけるプレーナ型パワーMOSFETの製造工程を示す図である。

【図5】他の実施形態における高周波加熱炉での熱処理を説明するための図である。

【図6】本出願人が先に出願した縦型パワーMOSFETの構成を示す断面図である。

【図7】図6に示す縦型パワーMOSFETの製造工程を示す図である。

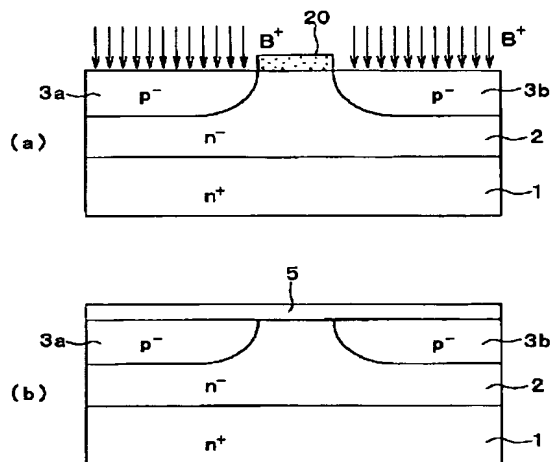
10 【図8】図7に続く縦型パワーMOSFETの製造工程を示す図である。

【図9】図8に続く縦型パワーMOSFETの製造工程を示す図である。

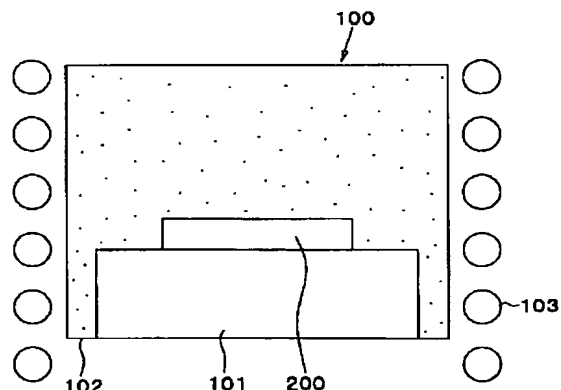
【符号の説明】

1… n^+ 型炭化珪素半導体基板、2… n^- 型炭化珪素エピタキシャル層、3a、3b… p^- 型炭化珪素ベース領域、4a、4b… n^+ 型ソース領域、5…表面チャンネル層（ n^- 型SiC層）、7…ゲート絶縁膜、8…ゲート電極、9…絶縁膜、10…ソース電極、11…ドレイン電極。

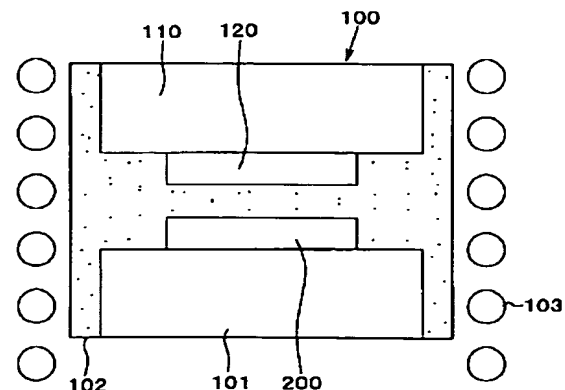
【図1】



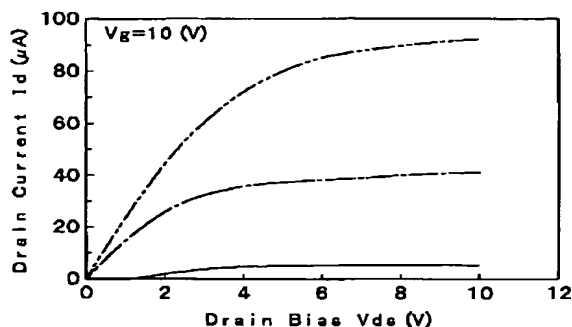
【図2】



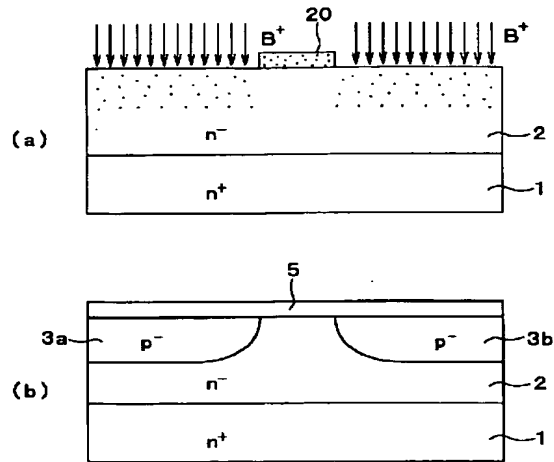
【図5】



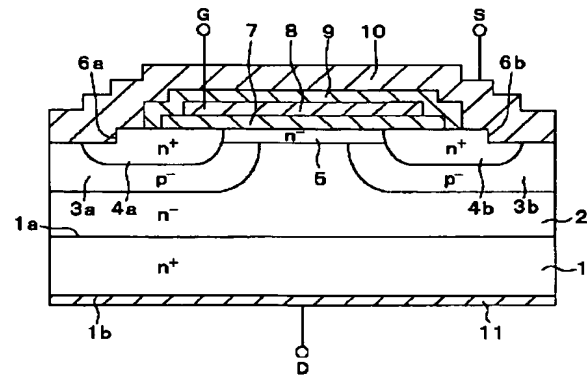
【図3】



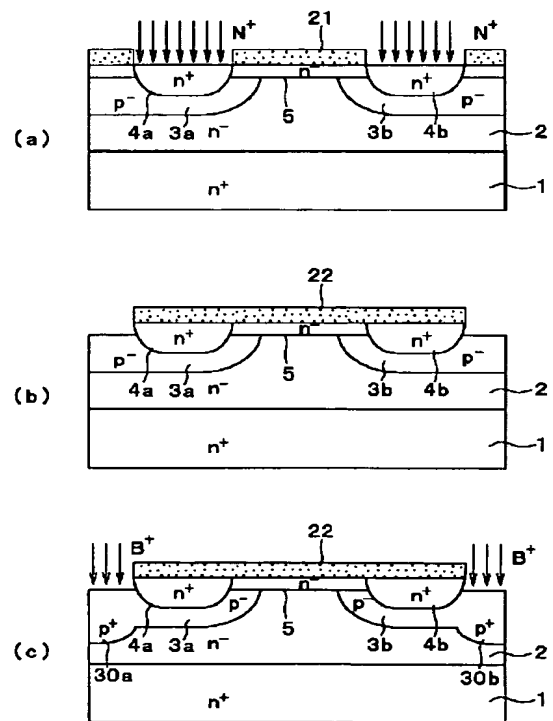
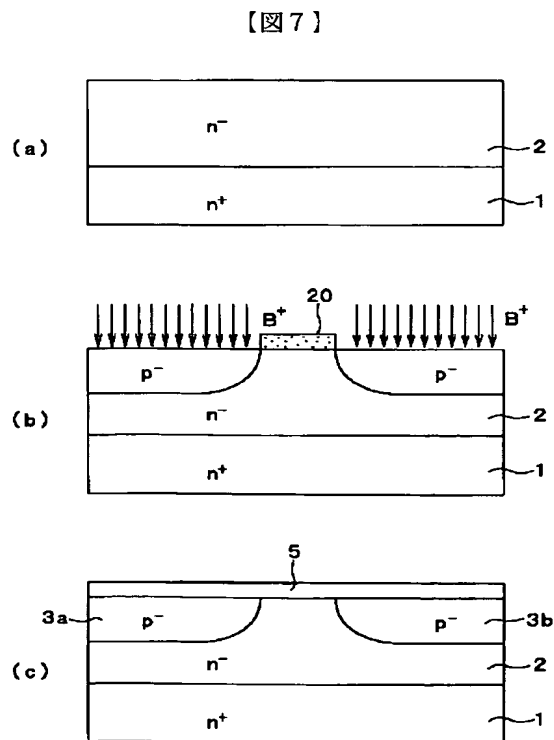
【図4】



【図6】



【図8】



【図 9】

